Seat No.: ________ Enrolment No.______________

GUJARAT TECHNOLOGICAL UNIVERSITY

DIPLOMA ENGG.- SEMESTER–VI EXAMINATION - OCTOBER 2012

Subject code: 361102 **Date:27-10-2012**
Subject Name: VLSI Technology
Time: 2:30 pm – 5:00 pm **Total Marks: 70**

Instructions:

1. **Attempt all questions.**
2. **Make suitable assumptions wherever necessary.**
3. **Figures to the right indicate full marks.**
4. **English version is considered to be Authentic**

Q.1	(a)	Explain VLSI design Methodologies.	**07**
	(b)	Explain Y Chart of design flow in detail.	**07**
Q.2			
	(a)	Explain MOS system under external bias.	**07**
	(b)	Explain Operation of MOSFET Transistor.	**07**
		OR	
	(b)	Explain Energy Band Diagram of MOS Structure.	**07**
Q.3			
	(a)	Explain CMOS inverter.	**07**
	(b)	Define N & P Channel Enhancement and Depletion type MOSFET and draw its Symbols.	**07**
		OR	
Q.3	(a)	Draw & Explain Three stage CMOS ring oscillator circuit.	**07**
	(b)	Explain Enhancement load nMOS Inverter.	**07**
Q.4	(a)	Draw & Explain two input NAND gate using depletion load.	**07**
	(b)	Explain OAI Structure & Realize the logic function $Y = \overline{(A1 + A2 + A3)(B1 + B2)(C1)}$ using CMOS.	**07**
		OR	
Q. 4	(a)	Draw & explain CMOS SR latch using two input NAND gate.	**07**
	(b)	Draw & explain two input NOR gate using CMOS.	**07**
Q.5	(a)	Draw FPGA architecture & Explain CLB in detail.	**07**
	(b)	Write VHDL code for 4:1 Multiplexer with necessary diagram.	**07**
		OR	
Q.5	(a)	Explain signal Delay in FPGA.	**07**
	(b)	Write VHDL code for $Y = \overline{A}B + A\overline{B}$.	**07**

****

પ્રશ્ન-1	(અ)	VLSI ડીઝાઈન મેથોડોલોજી સમજાવો.	07
	(બ)	ડીઝાઈન ફ્લોનો Y ચાર્ટ સમજાવો.	07
પ્રશ્ન-2			
	(અ)	MOS સીસ્ટમ એક્સટર્નલ બાયસીંગ સાથે સમજાવો.	07
	(બ)	MOSFET ટ્રાન્ઝીસ્ટરનુ ઓપરેશન સમજાવો.	07
		અથવા	
	(બ)	MOS નો એનર્જી બેન્ડ ડાયાગ્રામ સમજાવો.	07
પ્રશ્ન-3			
	(અ)	CMOS ઈન્વર્ટર સમજાવો.	07
	(બ)	N અને P ચેનલ એન્હાન્સમેંટ અને ડેપ્લેશન MOSFET ની આકૃતિસહ વ્યાખ્યા આપો.	07
		અથવા	
પ્રશ્ન-3	(અ)	ત્રણ સ્ટેજનુ CMOS રીંગ ઓસીલેટર દોરો અને સમજાવો.	07
	(બ)	એન્હાન્સમેંટ લોડ nMOS ઈન્વર્ટર સમજાવો.	07
પ્રશ્ન-4			
	(અ)	ડેપ્લેશન લોડ ની મદદથી બે ઈનપુટ NAND દોરો અને સમજાવો.	07
	(બ)	OAI સ્ટ્રક્ચર સમજાવો અને CMOS ની મદદથી આપેલ સુત્ર બનાવો. $Y = \overline{(A1 + A2 + A3)(B1 + B2)(C1)}$	07
		અથવા	
પ્રશ્ન-4	(અ)	CMOS SR લેચ બે ઈનપુટ NAND ગેટની મદદથી દોરો અને સમજાવો.	07
	(બ)	બે ઈનપુટ NOR ગેટ સર્કીટ CMOSની મદદથી દોરો અને સમજાવો.	07
પ્રશ્ન-5			
	(અ)	FPGA નુ આર્કીટેક્ચર દોરો અને CLB વિસ્તારપુર્વક સમજાવો.	07
	(બ)	4 : 1 મલ્ટીપ્લેક્ષરનો VHDL કોડ જરુરી આકુતી સહ બનાવો.	07
		અથવા	
પ્રશ્ન-5	(અ)	FPGA મા આવતો સિગ્નલ ડિલે સમજાવો.	07
	(બ)	$Y = \overline{A}B + A\overline{B}$ નો VHDL કોડ બનાવો.	07

****